

DIGITAL AUTOMATIC GAIN CONTROLLER

Patent Number: JP2285804
 Publication date: 1990-11-26
 Inventor(s): MATSUMOTO TOKIKAZU
 Applicant(s): MATSUSHITA ELECTRIC IND CO LTD
 Requested Patent: ☐ JP2285804
 Application Number: JP19890108828 19890427
 Priority Number(s):
 IPC Classification: H03G3/30 ; H03G3/20
 EC Classification:
 Equivalents: JP1977730C, JP7007896B

Abstract

PURPOSE: To reduce the circuit scale and to improve the response speed by limiting an amplitude through the use of a limiter circuit and reducing the dynamic range of signal processing without deteriorating the transient response.

CONSTITUTION: A signal inputted from an input terminal 20 is converted into a digital signal by an A/D converter 1 and the amplitude is controlled by a multiplier 2. The output of the multiplier 2 is given to a limiter circuit 3, the amplitude of the input is limited and outputted to an output terminal 21. The limiter circuit 3 limits the amplitude when the input level reaches a prescribed value or over and switches a coefficient of a variable coefficient circuit 4. On the other hand, the output level of the limiter circuit 3 is detected by a level detection circuit 9 and compared with a reference level inputted from an input terminal 22 at a comparator circuit 8, and the result is fed to the variable coefficient circuit 4. The output of the variable coefficient circuit 4 is fed back to the multiplier 2. As a result, the level at the output terminal 21 is the same as the reference level.

Data supplied from the esp@cenet database - I2

⑫ 公開特許公報(A) 平2-285804

⑤ Int.Cl.⁵H 03 G 3/30
3/20

識別記号

B 8221-5 J
A 8221-5 J

庁内整理番号

④ 公開 平成2年(1990)11月26日

審査請求 未請求 請求項の数 1 (全4頁)

⑬ 発明の名称 デジタル自動利得制御装置

⑭ 特 願 平1-108828

⑮ 出 願 平1(1989)4月27日

⑯ 発 明 者 松 本 時 和 大阪府門真市大字門真1006番地 松下電器産業株式会社内

⑰ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地

⑱ 代 理 人 弁理士 栗 野 重 孝 外1名

明 細 書

1. 発明の名称

デジタル自動利得制御装置

2. 特許請求の範囲

入力信号をA/D変換するA/D変換器と、
前記A/D変換器でA/D変換されたデータの
振幅を制御する乗算器と、

前記乗算器の出力データの振幅が一定の値以上
になったときは振幅を制限すると共に、振幅制限
のなされたことを示す判定信号を出力するリミッ
タ回路と、

前記リミッタ回路の出力信号の振幅を検出する
レベル検出回路と、

前記レベル検出回路の出力の値と基準レベルと
を比較する比較回路と、

前記比較回路の出力を係数倍し、その係数は前
記リミッタ回路の判定信号を受けて前記リミッタ
が振幅制限を行なったときは大きい値に切り替わ
る係数回路とを具備し、

前記係数回路の出力で前記乗算器を制御するよ

うに構成したことを特徴とするデジタル自動利
得制御装置。

3. 発明の詳細な説明

産業上の利用分野

本発明は、VTR(ビデオテープレコーダ)等
で、色信号のレベルを一定に保つために用いられ
るACC(自動色信号制御装置)のごとき自動利
得制御装置に関するものである。

従来の技術

従来から入力信号のレベルを一定に保つために
自動利得制御装置が用いられていた。以下、図面
を用いて従来の自動利得制御装置について説明す
る。

第2図は従来例の構成を示したブロック図であ
る。入力端子10から入力された信号は乗算器11
で利得が制御され、出力端子16に出力される。
また、乗算器11の出力はレベル検出回路15へ
送られレベルが検出される。検出されたレベルは
比較回路14で入力端子18から入力される基準
レベルと比較され、その基準レベルとの誤差はロ

ーパスフィルタ17で積分されて係数回路13で一定の係数が乗じられ、乗算器11に帰還される。

その結果、出力端子18に出力される信号のレベルは基準レベルと等しくなる。このような帰還ループを用いた制御系では、入力レベルがステップ状に変化したとき出力レベルが一定になるまでには時間がかかる。その応答の様子を第3図を用いて説明する。

第3図でaは入力端子10への入力信号、bは出力端子18からの出力信号の例を示している。横軸は時間、縦軸はレベルである。入力がaに示すように時刻t1でステップ状に変化すると、出力はbに示すように一旦レベルが上がった後元のレベルに戻り、出力レベルが一定に保たれる。

発明が解決しようとする課題

しかしながら上記の構成では第3図bから判るように、出力振幅は最終的に落ちつくレベルL1より大きいレベルL2まで一旦大きくなる。従ってデジタル信号処理で従来と同じ制御ループを構成すると、信号のダイナミックレンジはL1で

る係数回路とを具備し、前記係数回路の出力で前記乗算器を制御するように構成されるものである。

作用

本発明は上記の構成により、リミッタ回路を用いて振幅を制限し、出力のダイナミックレンジを小さくして回路規模を縮小すると共に、応答時間も改善できるものである。

実施例

以下、本発明の実施例について第1図を参照しながら説明する。第1図は本発明の実施例の構成を示したブロック図である。

入力端子20から入力された信号はA/D変換器1でデジタル信号に変換され、乗算器2で振幅が制御される。乗算器2の出力はリミッタ回路3で入力の振幅が制限され、出力端子21に出力される。リミッタ回路3は入力のレベルが一定値以上になったときは振幅を制限すると同時に可変係数回路4の係数を切り替える。可変係数回路4は異なる係数を持つ係数回路6と7、スイッチ5から構成されており、係数回路6と7をスイッ

十分であるのに、演算のためにダイナミックレンジをL2必要とし、ビット数が余計に必要になって回路規模が大きくなるという欠点があった。

課題を解決するための手段

上記問題点を解決するため本発明のデジタル自動利得制御装置は、

入力信号をA/D変換するA/D変換器と、

前記A/D変換器でA/D変換されたデータの振幅を制御する乗算器と、

前記乗算器の出力データの振幅が一定の値以上になったときは振幅を制限すると共に、振幅制限のなされたことを示す判定信号も出力するリミッタ回路と、

前記リミッタ回路の出力信号の振幅を検出するレベル検出回路と、

前記レベル検出回路の出力の値と基準レベルとを比較する比較回路と、

前記比較回路の出力を係数倍し、その係数は前記リミッタ回路の判定信号を受けて前記リミッタが振幅制限を行なったときは大きい値に切り替わ

5で切り替えることにより係数を変化させる。一方、リミッタ回路3の出力はレベル検出回路9でレベルが検出され、比較回路8で入力端子22から入力された基準レベルと比較され、その誤差がローパスフィルタ23で積分されて可変係数回路4へ送られる。可変係数回路4の出力は乗算器2へ帰還される。その結果、出力端子21のレベルは基準レベルと同じレベルになるように制御される。

以上の動作を第3図を用いてさらに詳しく説明する。入力端子20への入力信号が従来例のときと同様に第3図aに示す変化をする場合、リミッタ回路3が無いとすると、その出力は従来例と同じ応答をする。しかしながらリミッタ回路3は出力のダイナミックレンジを抑えるため、例えばレベルをL3に制限するとすれば、その出力は第3図cに示すようになる。この場合リミッタが無ければ従来例と同様に第3図bの応答をするところを振幅がリミッタ回路3で制限されているため比較回路8の出力である基準レベルとの誤差は従来

例に比べ少なくなる。つまり振幅を制限することでダイナミックレンジは小さく保たれるが、抑圧される誤差信号が小さくなり、その結果応答時間は長くなる。第3図bの従来例では時刻 t_3 で応答が安定していたのに対し、そのままでは第3図cに示すように時刻 t_2 までかかる。そこでリミッタ回路3で振幅が制限されたときは可変係数回路4の係数を大きい方に切り替えてループゲインを大きくする。その結果、リミッタ回路3の出力は第3図dに示すようになり引き込み時間は従来と同じにすることができる。

発明の効果

以上の説明から明らかなように、本発明は過渡応答を劣化させることなく信号処理のダイナミックレンジを小さくできるので、ディジタル信号処理を行なう場合のビット数が少なくてすみ回路規模を縮小できる。

4. 図面の簡単な説明

第1図は本発明の実施例におけるディジタル自動利得制御装置の構成を示したブロック図、第2

図は従来例の自動利得制御装置の構成を示したブロック図、第3図は従来例と本発明の応答を示した特性図である。

1…A/D変換器、2…乗算器、3…リミッタ回路、4…可変係数回路、13…係数回路、17、23…ローパスフィルタ。

代理人の氏名 弁理士 栗野 重孝 ほか1名

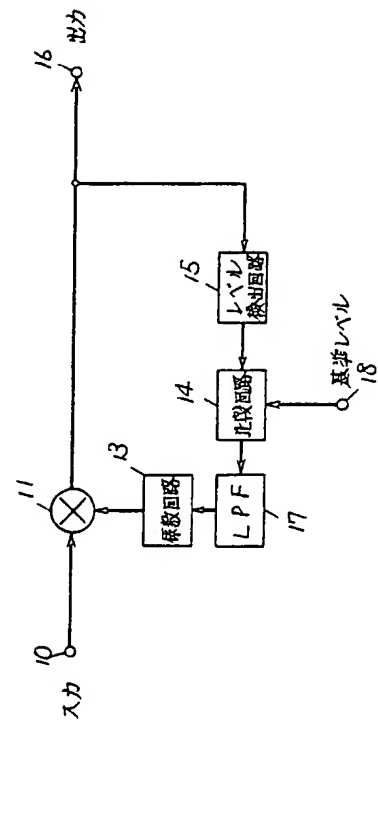
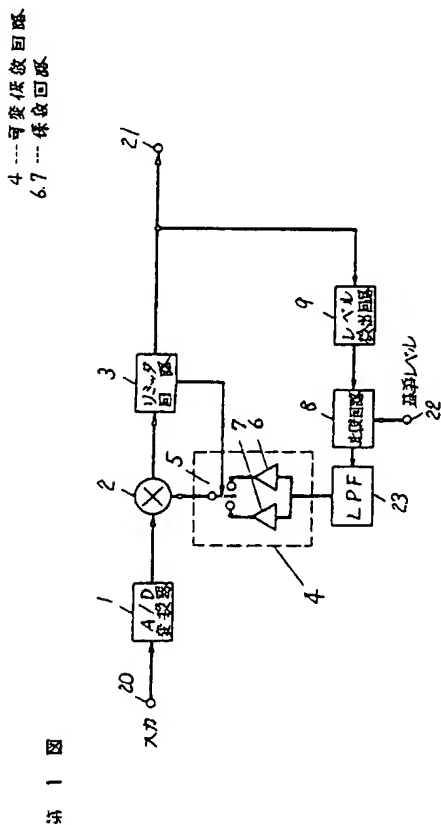


図 3

